

日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 Date of Application:

2002年10月21日

出 願 番 号 Application Number:

人

特願2002-305387

[ST. 10/C]:

[JP2002-305387]

出 願 Applicant(s):

ローム株式会社

2003年 7月10日

特許庁長官 Commissioner, Japan Patent Office







【書類名】 特許願

【整理番号】 02-00308

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/347

【発明の名称】 カレントミラー回路

【請求項の数】 6

【発明者】

【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内

【氏名】 大前 英雄

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100083231

【住所又は居所】 東京都港区新橋2丁目10番5号 末吉ビル5階 ミネ

ルバ国際特許事務所

【弁理士】

【氏名又は名称】 紋田 誠

【選任した代理人】

【識別番号】 100112287

【住所又は居所】 東京都港区新橋2丁目10番5号 末吉ビル5階 ミ

ネルバ国際特許事務所

【弁理士】

【氏名又は名称】 逸見 輝雄

【手数料の表示】

【予納台帳番号】 016241

【納付金額】 21,000円





【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901021

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 カレントミラー回路

【特許請求の範囲】

【請求項1】 カレントミラーの出力側となる複数の出力側トランジスタを備えるカレントミラー回路において、

一端が第1定電流源に接続され、他端が第1電位となる第1接続箇所に接続されており、カレントミラーの入力側として動作する第1入力側トランジスタと、

前記第1入力側トランジスタからある所定距離だけ離れて設けられ、一端が第2定電流源に接続されており、カレントミラーの入力側として動作する第2入力側トランジスタと、

前記第1入力側トランジスタの前記他端と、前記第2入力側トランジスタの他端との間を接続する第1給電線と、

前記第1入力側トランジスタの前記一端と前記第2入力側トランジスタの前記一端との間を、前記給電線の抵抗よりも高抵抗で接続し電位勾配を与える第1電位線と、

前記第1入力側トランジスタと前記第2入力側トランジスタとの間に分散して配置され、前記第1給電線と前記第1電位線にそれぞれ結合されてカレントミラーの出力側として動作する、複数の出力側トランジスタを有することを特徴とするカレントミラー回路。

【請求項2】 前記第2入力側トランジスタから前記第1入力側トランジスタとは逆方向に、ある所定距離だけ離れて設けられ、一端が第3定電流源に接続されており、カレントミラーの入力側として動作する第3入力側トランジスタと

前記第2入力側トランジスタの前記他端と、前記第3入力側トランジスタの他端との間を接続する第2給電線と、

前記第2入力側トランジスタの前記一端と前記第3入力側トランジスタの前記一端との間を、前記第2給電線の抵抗よりも高抵抗で接続し電位勾配を与える第2電位線と、

前記第2入力側トランジスタと前記第3入力側トランジスタとの間に分散して

46

配置され、前記給電線と前記電位線にそれぞれ結合されてカレントミラーの出力 側として動作する、複数の出力側トランジスタを有することを特徴とする、請求 項1記載のカレントミラー回路。

【請求項3】 前記第3入力側トランジスタの前記他端が前記第1電位となる第2接続箇所に接続されていることを特徴とする、請求項2記載のカレントミラー回路。

【請求項4】 前記各電位線は、ポリシリコン線であることを特徴とする、 請求項1~3記載のカレントミラー回路。

【請求項5】 前記各入力側トランジスタ及び前記各出力側トランジスタは、P型MOSトランジスタであることを特徴とする、請求項1~4記載のカレントミラー回路。

【請求項6】 前記各入力側トランジスタ及び前記各出力側トランジスタは、N型MOSトランジスタであることを特徴とする、請求項1~4記載のカレントミラー回路。

【発明の詳細な説明】

 $[0\ 0\ 0\ 1\]$

【発明の属する技術分野】

本発明は、LCDドライバICなどのアナログICにおいて、ICチップ内の 広範囲に存在する多数の電流源を形成するカレントミラー回路に関する。

[00002]

【従来の技術】

アナログICにおいて、多数の定電流源を必要とする場合に、1つの定電流源を基準として多数の定電流源を形成するカレントミラー回路が多く用いられる。図6(a)は、従来から、一般的に用いられるカレントミラー回路を示す図であり、図6(b)は同図(a)の特性図である。

[0003]

図 6 (a)において、P型MOS電界効果トランジスタ(以下、PMOS) Q 0 のゲートに一定の基準電位 V r e f e

スがグランドGNDに接続されたN型MOS電界効果トランジスタ(以下、NMOS)Qref6に供給する。このNMOSQref6をカレントミラー回路の入力側トランジスタ(即ち、ミラー源トランジスタ)とし、NMOSQ61~Q6nを複数の出力側トランジスタ(即ち、ミラー先トランジスタ)とする。これら出力側トランジスタQ61~Q6nのソースを給電線Ws6により入力側トランジスタQref6のソースに接続し、それら出力側トランジスタQ61~Q6nのゲートを電位線Wp6により入力側トランジスタQref6のゲートに接続する。これにより、入力側トランジスタQ61~Q6nのゲート電位は、入力側トランジスタQref6のゲート電位と等しくなる。なお、Vddは、電源電位である。

[0004]

1

しかし、給電線Ws6には、アルミなどの導電線が使用される場合でも多少の配線抵抗Rwを有しており、多数の出力側トランジスタQ61~Q6nが広範囲に分散して配置される場合には、配線抵抗Rwと電流による電圧降下が無視できなくなる。この状態が図6(b)に示されている。

[0005]

図6において、電位線Wp6には電流が流れないから、出力側トランジスタQ61~Q6nのゲート電位は入力側トランジスタQref6と同じである。一方、出力側トランジスタQ61~Q6nのソース電位は給電線Ws6での電圧降下により、出力側トランジスタQ61~Q6nの配置位置にしたがって順次高くなる。したがって、出力側トランジスタQ61~Q6nのゲートーソース間電圧Vgsは、入力側トランジスタQref6のゲートーソース間電圧Vgsに比べて配置位置にしたがって順次小さくなる。この結果、出力側トランジスタQ61~Q6nは、その配置される個所によっては、所期の電流とかなり異なった電流しか流すことができなくなる。

[0006]

図7は、給電線による電圧降下の影響を避けるように、給電線をスター配置構成としたものであり、電流源 I 7 1 からの定電流 I ref を、ドレインとゲートが接続されたNMOSQ ref 7 に供給する。このNMOSQ ref 7 をカレン

トミラー回路の入力側トランジスタとし、NMOSQ71~Q7nを複数の出力側トランジスタとする。これら入力側トランジスタQref7、出力側トランジスタQ71~Q7nのソースを給電線Ws7r、Ws71~Ws7nによりそれぞれ共通点Kに接続し、グランドGNDに接続する。これにより、出力側トランジスタQ71~Q7nのゲートーソース間電圧Vgsは、入力側トランジスタQref7のゲートーソース間電圧Vgsと等しくなる。

[0007]

また、図8は、やはり、給電線による電圧降下の影響を避けるように、ゲート電圧でインターフェースせずに、電流インターフェース構成としたものである(非特許文献1参照)。図8の電流インターフェース構成のカレントミラー回路では、電流源Ⅰ81に複数n個のPMOSQ01~Q0nを設け、基準電圧Vrefを共通に各ゲートに印加し、それぞれ定電流Ⅰrefを流すようにする。それらの定電流Ⅰrefが、給電線Ws81~Ws8nを通って、ドレインとゲートが接続された入力側トランジスタであるNMOSQref81~Qref8nに供給される。これらの入力側トランジスタQref81~Qref8nに、出力側トランジスタであるNMOSQ81~Q8nがそれぞれカレントミラー構成に接続される。これにより、各給電線Ws81~Ws8nの長さ、即ち抵抗の違いに関わらず、出力側トランジスタQ81~Q8nには、全て同じゲートーソース間電圧Vgsが供給される。よって、所期の電流を流すことができる。

[0008]

【非特許文献1】

Behzad Razavi著、「Design of Analog CMOS Integrated Circuits」、McGraw-Hill出版、2001年発行、Sec. 18.2 Analog Layout Techniques、P. 642-643

[0009]

【発明が解決しようとする課題】

従来の図7のスター配置構成のカレントミラー回路では、全ての給電線Ws7r、Ws71~Ws7nの抵抗を等しくするために、給電線を個別に用意し、かつ一番長い給電線の長さに合わせてその長さを揃える必要がある。また、図8の

電流インターフェース構成のカレントミラーでは、カレントミラーの出力側トランジスタの数だけの給電線 $Ws81\sim Ws8n$ を個別に持つ必要があり、かつ個別に入力側及び出力側トランジスタからなるカレントミラー構成とする必要がある。したがって、図7、図8の従来構成のカレントミラー回路では、出力側トランジスタ数が多くなると、給電線のための配線面積が大きくなってしまう。特に、液晶ドライバICなどのように数百もの出力側トランジスタを有するものでは、その配線面積が莫大なものとなるから、ICチップサイズが増加してしまう。

[0010]

そこで、本発明は、数百にも及ぶ多数の出力側トランジスタを備えるカレント ミラー回路において、給電線のための配線面積を増やすことなく、かつ給電線の 配線抵抗による影響を著しく低減することを目的とする。

[0011]

【課題を解決するための手段】

請求項1記載のカレントミラー回路は、カレントミラーの出力側となる複数の 出力側トランジスタを備えるカレントミラー回路において、

一端が第1定電流源に接続され、他端が第1電位となる第1接続箇所に接続されており、カレントミラーの入力側として動作する第1入力側トランジスタと、前記第1入力側トランジスタからある所定距離だけ離れて設けられ、一端が第2定電流源に接続されており、カレントミラーの入力側として動作する第2入力側トランジスタと、前記第1入力側トランジスタの前記他端と、前記第2入力側トランジスタの他端との間を接続する第1給電線と、前記第1入力側トランジスタの前記一端と前記第2入力側トランジスタの前記一端との間を、前記給電線の抵抗よりも高抵抗で接続し電位勾配を与える第1電位線と、前記第1入力側トランジスタと前記第2入力側トランジスタとの間に分散して配置され、前記第1給電線と前記第1電位線にそれぞれ結合されてカレントミラーの出力側として動作する、複数の出力側トランジスタを有することを特徴とする。

$[0\ 0\ 1\ 2]$

請求項2記載のカレントミラー回路は、請求項1記載のカレントミラー回路において、前記第2入力側トランジスタから前記第1入力側トランジスタとは逆方

向に、ある所定距離だけ離れて設けられ、一端が第3定電流源に接続されており、カレントミラーの入力側として動作する第3入力側トランジスタと、前記第2入力側トランジスタの前記他端と、前記第3入力側トランジスタの他端との間を接続する第2給電線と、前記第2入力側トランジスタの前記一端と前記第3入力側トランジスタの前記一端との間を、前記第2給電線の抵抗よりも高抵抗で接続し電位勾配を与える第2電位線と、前記第2入力側トランジスタと前記第3入力側トランジスタとの間に分散して配置され、前記給電線と前記電位線にそれぞれ結合されてカレントミラーの出力側として動作する、複数の出力側トランジスタを有することを特徴とする。

[0013]

請求項3記載のカレントミラー回路は、請求項2記載のカレントミラー回路において、前記第3入力側トランジスタの前記他端が前記第1電位となる第2接続箇所に接続されていることを特徴とする。

[0014]

請求項4記載のカレントミラー回路は、請求項1~3記載のカレントミラー回路において、前記第1,第2電位線は、ポリシリコン線であることを特徴とする

[0015]

請求項5記載のカレントミラー回路は、請求項1~4記載のカレントミラー回路において、前記各入力側トランジスタ及び前記各出力側トランジスタは、P型MOSトランジスタであることを特徴とする。

[0016]

請求項6記載のカレントミラー回路は、請求項1~4記載のカレントミラー回路において、前記各入力側トランジスタ及び前記各出力側トランジスタは、N型MOSトランジスタであることを特徴とする。

$[0\ 0\ 1\ 7]$

【発明の実施の形態】

以下、図面を参照して、本発明のカレントミラー回路の実施の形態について説明する。

[0018]

図1 (a) は、本発明の第1の実施の形態に係るカレントミラー回路の構成を示す図である。この図は、LCDドライバICなどのように数百もの多数のバッファの定電流を供給するためのカレントミラー回路であり、ICチップ内に作り込まれている。また、図1 (b) は、同図 (a) のカレントミラー回路におけるゲート電位、ソース電位を配置個所との関係で示す図である。

[0019]

図1(a)において、左端、中央、及び右端にカレントミラー回路の入力側トランジスタであるNMOSQref1、Qref2、Qref3が設けられている。これら入力側トランジスタQref1、Qref2、Qref3は、そのドレインとゲートが接続され、その接続点同士が高抵抗の電位線Wp1により相互接続されている。また、それらのソース同士が給電線Ws1により相互接続されている。そして、中央に設けられた入力側トランジスタQref2のソースが、グランド用ピンPgndに接続され、グランドGNDに接続される。左端及び右端に設けられた入力側トランジスタQref1、Qref3のソースは、グランドGNDに接続されない。

[0020]

これら入力側トランジスタQref1、Qref2、Qref3のドレインには、PMOSQ01~Q03を有する定電流源I11~I13が接続される。これらPMOSQ01~Q03のゲートには、基準電圧発生回路21で発生された基準電位Vrefがゲート信号線22を介して、印加される。したがって、定電流源I11~I13から、入力側トランジスタQref1、Qref2、Qref3に同じ大きさの定電流Irefが供給される。これにより、入力側トランジスタQref1、Qref2、Qref3のゲートとソース間には、同じ大きさのゲートーソース間電圧Vgsが発生する。

[0021]

なお、この実施の形態では、入力側トランジスタQref1、Qref2、Qref3のサイズや、供給される定電流Irefは同じ大きさとして説明している。しかし、トランジスタサイズや、定電流Irefの大きさにとらわれること

なく、それら入力側トランジスタのゲートーソース間電圧 V g s が同じ大きさになるものであればよい。この点は、他の実施の形態でも同様である。

[0022]

また、共通の基準電圧発生回路21、ゲート信号線22を設ける代わりに、定電流源I11~I13自体に電圧源を含ませるようにしてもよい。さらに、その電流源と入力側トランジスタ(例えば、I11とQref1)とを1組のカレントミラー源回路として、所定のゲートーソース間電圧Vgsを発生するように構成することもできる。この点もまた、他の実施の形態でも同様である。

[0023]

カレントミラー回路の出力側トランジスタであるNMOSQ1~Qjが、左端の入力側トランジスタQref1と中央の入力側トランジスタQref2との間に配置されている。また、同様に、カレントミラー回路の出力側トランジスタであるNMOSQj+1~Qnが、中央の入力側トランジスタQref2と右端の入力側トランジスタQref3との間に配置されている。

[0024]

これら出力側トランジスタ $Q1\sim Qn$ は、その配置された位置で、そのソースが給電線Ws1に接続され、また、そのゲートが電位線Wp1に接続される。そして、出力側トランジスタ $Q1\sim Qn$ のドレインは、その負荷となる回路に接続され、出力側トランジスタ $Q1\sim Qn$ は定電流 Ireficientに動作する。この出力側トランジスタ $Q1\sim Qn$ は、LCD用のドライバ ICに用いる場合には、定電流を使用するバッファ回路の定電流源となる。

[0025]

これら入力側トランジスタQ $ref1 \sim Qref3$ 及び出力側トランジスタQ $1 \sim Qn$ のソースは、例えばアルミ線などの抵抗値の低い給電線Ws1により順次に接続されるが、各接続点の間で若干の配線抵抗Rwが存在する。

[0026]

また、入力側トランジスタQref1~Qref3及び出力側トランジスタQ1~Qnのゲートは、逆に抵抗値の高い電位線Wp1により順次接続される。各ゲートの間を高抵抗値Rgを持つ抵抗を介して接続しても良いし、あるいは、そ

れ自体高い抵抗値を持っているポリシリコン線で接続しても良い。いずれにしても、電位線Wplに流れる電流は小さいほど良く、定電流Irefに比べて無視できる程度の電流値とすることが好ましい。

[0027]

この図1(a)のカレントミラー回路において、同図(b)に示されるように、各出力側トランジスタQ1~Qnに電流が流れることにより、給電線Ws1の各点の電位は、配線抵抗Rwと電流との積に応じて、中央の接地点から離れるにつれて、曲線状に少しずつ高くなる。

[0028]

しかし、本発明では、入力側トランジスタQ $ref1\sim Qref3$ には、それぞれ同じ値の定電流 Irefが流れるから、それら入力側トランジスタ $Qref1\sim Qref3$ のゲートーソース間電圧Vgsは、図1(b)のように、等しく所定値となる。

[0029]

したがって、電位線Wp1の電位、即ち各出力側トランジスタ $Q1\sim Qn$ のゲート電位は、中央の接地点での電位(即ち、所定のVgs)と、左端あるいは右端でのソース電位に入力側トランジスタQref1あるいはQref3で発生する所定のゲートーソース間電圧Vgsを加算した電位とを結ぶ線上の電位となる。即ち、電位線Wp1の電位は、一定の電位勾配を持つ。

[0030]

この結果、各出力側トランジスタ $Q1\sim Q$ nのゲートーソース間には、ソース電位が曲線状に変化するために若干の誤差は生じるが、従来の図6と比較しても明らかなように、ほぼ所定の電圧Vgsが供給される。これにより、本発明では、各出力側トランジスタ $Q1\sim Q$ nはほぼ所定の電流をその負荷に流すことができる。また、本発明では、従来の図7、図8のように、給電線Ws1のための配線面積を増やすことなく、かつその配線抵抗による影響を著しく低減する。

[0031]

なお、この図1の第1の実施の形態において、例えば右端側の入力トランジスタQref3や出力側トランジスタQj+1~Qnを無くして、図の中央から左

側だけの構成としても同じ作用効果を得ることができる。

[0032]

図2(a)は、本発明の第2の実施の形態に係るカレントミラー回路の構成を示す図であり、また、図2(b)は、そのカレントミラー回路におけるゲート電位、ソース電位を配置個所との関係で示す図である。

[0033]

図2の第2の実施の形態においては、左端及び右端の入力側トランジスタQref1及びQref3のソースが、それぞれグランド用ピンPgndl、Pgnd2に接続され、グランドGNDに接続される。一方、中央に設けられた入力側トランジスタQref2のソースは、グランドGNDに接続されない。このように、図2では、グランドGNDへの接続個所及び接続数が、図1と異なっているだけで、その他の構成は同様である。

[0034]

この第2の実施の形態においては、図1のものと同様の効果を得ることができる他、何らかの原因で一方のグランドへの接続が絶たれたとき、あるいは一方のグランド用ピンが利用できない場合でも、全ての入力用トランジスタQref1~Qref3の個所において、ゲートーソース間電圧Vgsは、所定の値に維持される。したがって、グランドへの接続が絶たれた側のゲート電位は上昇するけれども、そのゲート電位の上昇が許容される範囲内である場合には、何らの支障なく、全体のカレントミラー回路の動作が行われる。

[0035]

図3 (a) は、本発明の第3の実施の形態に係るカレントミラー回路の構成を示す図であり、また、図3 (b) は、そのカレントミラー回路におけるゲート電位、ソース電位を配置個所との関係で示す図である。

[0036]

図3の第3の実施の形態においては、図1の第1の実施の形態と比較して、第4の定電流源I14と第4のカレントミラー回路用の入力側トランジスタQref4を、第1の定電流源I11と第1のカレントミラー回路用の入力側トランジスタQref1及び第2の定電流源I12と第2のカレントミラー回路用の入力

側トランジスタQref2との間に設けていること、また、第5の定電流源I15と第5のカレントミラー回路用の入力側トランジスタQref5を、第2の定電流源I12と第2のカレントミラー回路用の入力側トランジスタQref2及び第3の定電流源I13と第3のカレントミラー回路用の入力側トランジスタQref3及び第3の定電流源I13と第3のカレントミラー回路用の入力側トランジスタQref3との間に設けていること、の点において、異なっている。

[0037]

この図3の第3の実施の形態においては、新しく設けた、入力側トランジスタ Qref4、入力側トランジスタQref5の点においても、ゲートーソース間 電圧Vgsは、所定の値に保たれる。これにより、図3(b)に示されるように、電位線Wp1の電位勾配は、各入力用トランジスタQref1~Qref5の間で異なる。

[0038]

したがって、第1,第2の実施の形態と同様の効果を得るほか、各出力側トランジスタ $Q1\sim Qn$ におけるゲートーソース間電圧Vgsは、所定の電圧からの誤差が少なくなる。よって、各出力側トランジスタ $Q1\sim Qn$ の電流の大きさをより正確にすることができる。

[0039]

図4 (a) は、本発明の第4の実施の形態に係るカレントミラー回路の構成を示す図であり、また、図4 (b) は、そのカレントミラー回路におけるゲート電位、ソース電位を配置個所との関係で示す図である。

[0040]

図4の第4の実施の形態においては、図3の第3の実施の形態と比較して、中央の第2の入力側トランジスタのソースをグランド用ピンPgnd2を介してグランドGNDに接続するほか、さらに、左端及び右端の入力側トランジスタQref1及びQref3のソースが、それぞれグランド用ピンPgnd1、Pgnd3に接続され、グランドGNDに接続されている。このように、図4では、グランドGNDへの接続個所及び接続数が、図3と異なっているだけで、その他の構成は同様である。

[0041]

この図4の第4の実施の形態では、図3の第3の実施の形態と同様の効果を得るほか、図4(b)に示されるように、ゲート電位の上昇を全ての配置個所に亘って小さい値に抑えることができるから、電源電圧Vddの低い場合にも、有効に利用することができる。

[0042]

以上の各実施の形態では、N型MOSトランジスタを用いたカレントミラー回路について説明したが、逆にP型MOSトランジスタを用いたカレントミラー回路も全く同様に構成することができる。図5は、図1 (a) のものに対応するP型MOSトランジスタを用いたカレントミラー回路の構成を例示する図である。この図5で、図1とは、P型MOSトランジスタとN型MOSトランジスタが逆になり、電圧極性、電流方向が逆になっているだけで、対応する構成要素などには同様の記号を付しており、同様に動作を行う。なお、Pvddは、電源用ピンである。

[0043]

【発明の効果】

本発明のカレントミラー回路によれば、一端が第1定電流源に接続され、他端が基準電位(例、グランド)に接続されたカレントミラーの入力側として動作する第1入力側トランジスタの他に、ある所定距離だけ離れた個所に一端が第2定電流源に接続された第2入力側トランジスタを設け、これら第1、第2入力側トランジスタの間に、カレントミラーの出力側として動作する複数の出力側トランジスタの間に、カレントミラーの出力側として動作する複数の出力側トランジスタを分散して設ける。これにより、複数の出力側トランジスタのゲートーソース間電圧Vgsを第1、第2入力側トランジスタのゲートーソース間電圧Vgsにほぼ等しくし、給電線のための配線面積を増やすことなく、かつ給電線の配線抵抗による影響を著しく低減する。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るカレントミラー回路の構成と、ゲート電位。 、ソース電位を示す図。

【図2】

本発明の第2の実施の形態に係るカレントミラー回路の構成と、ゲート電位、 ソース電位を示す図。

【図3】

本発明の第3の実施の形態に係るカレントミラー回路の構成と、ゲート電位、 ソース電位を示す図。 ·

【図4】

本発明の第4の実施の形態に係るカレントミラー回路の構成と、ゲート電位、 ソース電位を示す図。

【図5】

本発明の他の構成例を示す図。

【図6】

従来のカレントミラー回路の構成及びその特性を示す図。

【図7】

従来の他のカレントミラー回路の構成を示す図。

【図8】

従来の他のカレントミラー回路の構成を示す図。

【符号の説明】

Ⅰ11~Ⅰ15 定電流源

 $Qref1 \sim Qref5$ カレントミラーの入力側トランジスタ

Q1~Qn カレントミラーの出力側トランジスタ

Wsl 給電線

Wp1 電位線

Pgnd グランド用ピン

Pvdd 電源用ピン

21 基準電圧発生回路

22 ゲート信号線

Vref 基準電圧

Iref 定電流

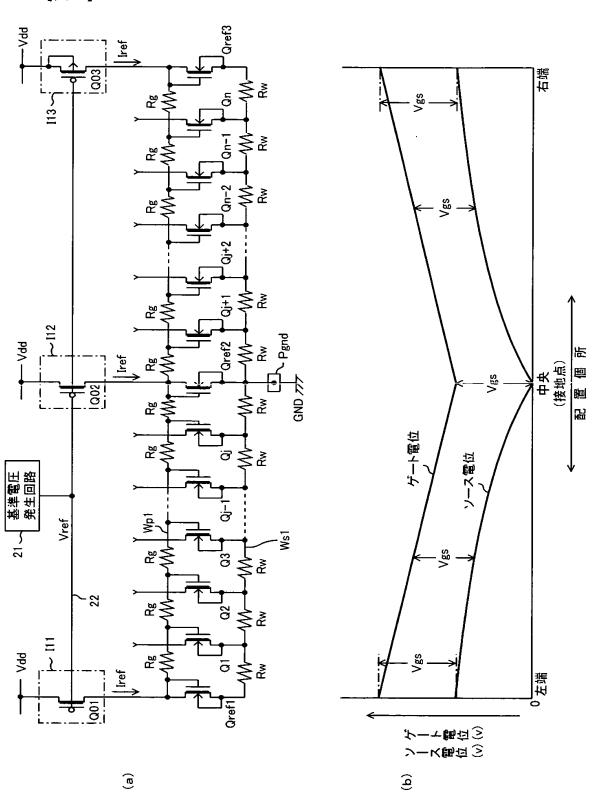
Rw 給電線の配線抵抗

Rg 電位線の高抵抗

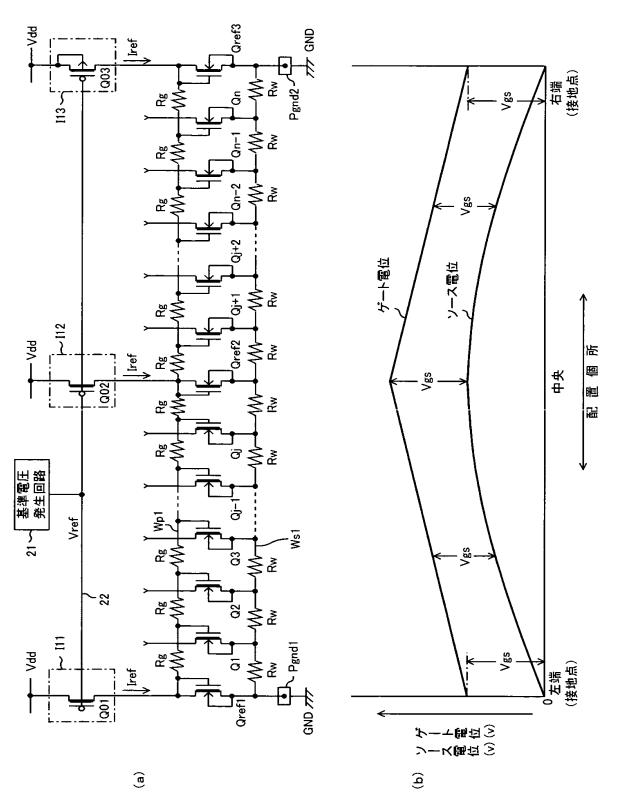
Vgs ゲートーソース間電圧

【書類名】 図面

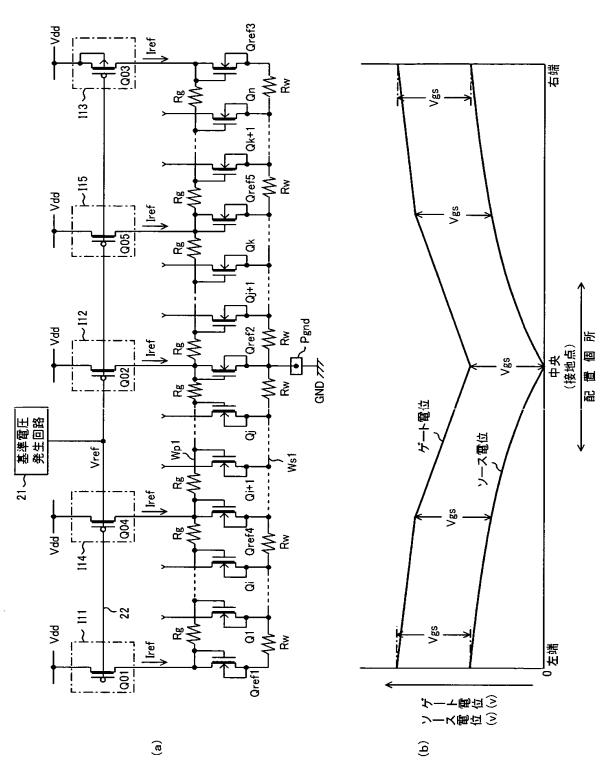
【図1】



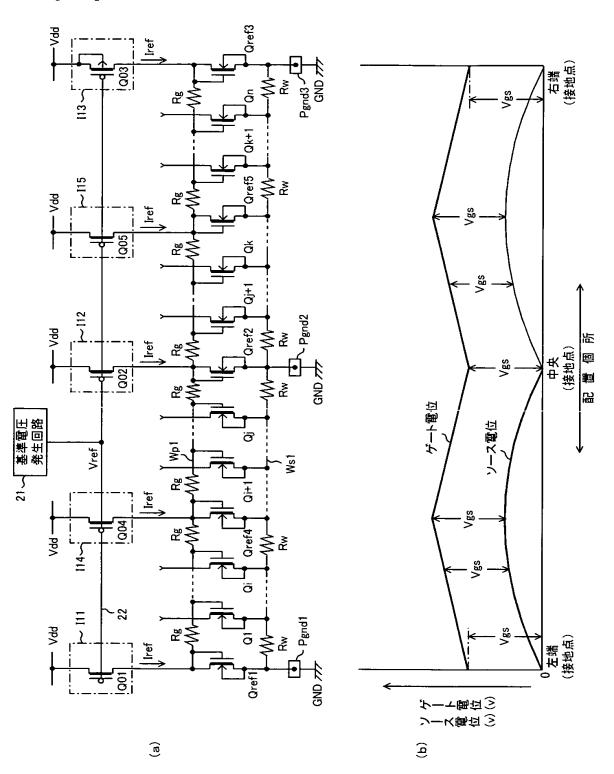




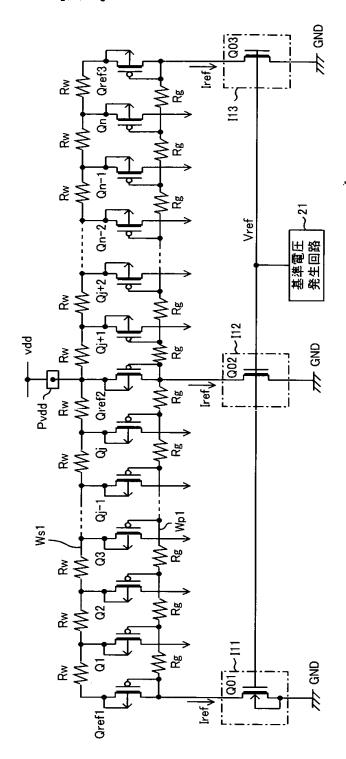




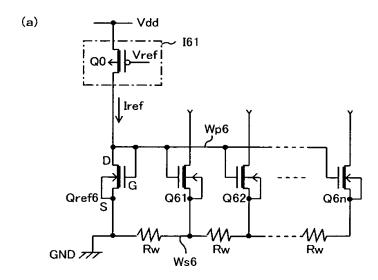
【図4】

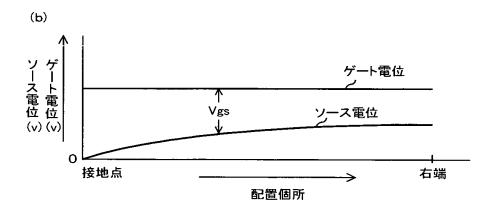


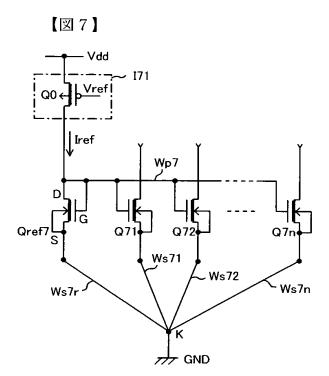
【図5】



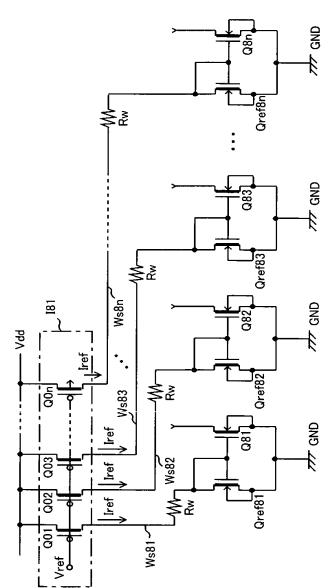
【図6】











【書類名】 要約書

【要約】

【課題】 数百にも及ぶ多数の出力側トランジスタを備えるカレントミラー回路 において、給電線のための配線面積を増やすことなく、かつ給電線の配線抵抗に よる影響を著しく低減すること。

【解決手段】 一端が第1定電流源に接続され、他端が基準電位(例、グランド)に接続されたカレントミラーの第1入力側トランジスタの他に、ある所定距離だけ離れた個所に一端が第2定電流源に接続された第2入力側トランジスタを設け、これら第1、第2入力側トランジスタの間に、複数の出力側トランジスタを分散して設ける。これにより、複数の出力側トランジスタのゲートーソース間電圧を第1、第2入力側トランジスタのゲートーソース間電圧にほぼ等しくする。

【選択図】 図1

特願2002-305387

出願人履歴情報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社